

IN THE U.S. PATENT AND TRADEMARK OFFICE

October 29, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-315735	October 30, 2002

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG &amp; THOMPSON

Benoît Castel

Benoit Castel, Reg. No. 35,041

BC/ia

745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297

Attachment(s): 1 Certified Copy(ies)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年10月30日

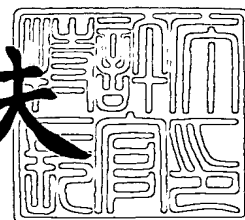
出願番号  
Application Number: 特願2002-315735  
[ST. 10/C]: [JP2002-315735]

出願人  
Applicant(s): NECエレクトロニクス株式会社

2003年 9月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3076625

【書類名】 特許願

【整理番号】 71130003

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 藤井 太郎

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 古田 浩一朗

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 本村 真人

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 安生 健一朗

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 矢部 義一

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 栗島 亨

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 戸井 崇雄

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中村 典嗣

**【特許出願人】****【識別番号】** 000004237**【氏名又は名称】** 日本電気株式会社**【代理人】****【識別番号】** 100088328**【弁理士】****【氏名又は名称】** 金田 暢之**【電話番号】** 03-3585-1882**【選任した代理人】****【識別番号】** 100106297**【弁理士】****【氏名又は名称】** 伊藤 克博**【選任した代理人】****【識別番号】** 100106138**【弁理士】****【氏名又は名称】** 石橋 政幸**【手数料の表示】****【予納台帳番号】** 089681**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9710078**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 アレイ型プロセッサ

【特許請求の範囲】

【請求項 1】 個々にデータ設定される命令コードに対応してデータ処理を個々に実行してイベントデータを出力する多数のプロセッサエレメントが行列形状に配列されており、これら多数のプロセッサエレメントの前記命令コードを状態管理部が事前に実装されているコンピュータプログラムと前記イベントデータとに対応して順次切り換えるアレイ型プロセッサであって、

前記状態管理部が必要により相互通信して連携動作する複数からなり、

相互通信して連携動作する複数の前記状態管理部に前記イベントデータを分配するイベント分配手段を有しているアレイ型プロセッサ。

【請求項 2】 複数の前記状態管理部を接続している専用のイベント通信配線で前記イベント分配手段が形成されている請求項 1 に記載のアレイ型プロセッサ。

【請求項 3】 複数の前記状態管理部を接続している専用のイベント通信バスで前記イベント分配手段が形成されている請求項 1 に記載のアレイ型プロセッサ。

【請求項 4】 複数の前記プロセッサエレメントの処理データを伝送するデータバスが行列形状に形成されており、

個々にデータ設定される命令コードに対応して前記データバスの配線構造を切換制御する複数のスイッチエレメントが前記プロセッサエレメントとともに行列形状に配列されており、

前記状態管理部が複数の前記プロセッサエレメントと複数の前記スイッチエレメントとの前記命令コードを順次切り換え、

前記スイッチエレメントに切換制御される前記データバスで前記イベント分配手段が形成される請求項 1 に記載のアレイ型プロセッサ。

【請求項 5】 複数の前記状態管理部の全部が相互に前記イベント分配手段で接続されている請求項 2 ないし 4 の何れか一項に記載のアレイ型プロセッサ。

【請求項 6】 複数の前記状態管理部が行列形状に配列されており、

前記状態管理部が近傍に位置する一部の前記状態管理部と前記イベント分配手段で接続されている請求項 2 ないし 4 の何れか一項に記載のレイ型プロセッサ。

【請求項 7】 複数の前記状態管理部が行列形状に配列されており、  
前記状態管理部が周囲の八方に位置する前記状態管理部と前記イベント分配手段で接続されている請求項 6 に記載のレイ型プロセッサ。

【請求項 8】 複数の前記状態管理部が行列形状に配列されており、  
前記状態管理部が行方向と列方向との四方に隣接する前記状態管理部と前記イベント分配手段で接続されている請求項 6 に記載のレイ型プロセッサ。

【請求項 9】 前記イベントデータを複数の前記状態管理部に分配する中央管理部が設けられており、

前記中央管理部が複数の前記状態管理部の全部と前記イベント分配手段で接続されている請求項 1 ないし 8 の何れか一項に記載のレイ型プロセッサ。

【請求項 1 0】 前記イベント分配手段で並列に入力される複数の前記イベントデータから 1 つを選択する入力選択手段が前記状態管理部ごとに設けられている請求項 1 ないし 9 の何れか一項に記載のレイ型プロセッサ。

【請求項 1 1】 前記入力選択手段が選択した 1 つの前記イベントデータを前記イベント分配手段に出力する請求項 1 0 に記載のレイ型プロセッサ。

【請求項 1 2】 前記イベント分配手段で並列に入力される複数の前記イベントデータから 1 つを選択して前記イベント分配手段に出力する出力選択手段が前記状態管理部ごとに設けられている請求項 1 0 に記載のレイ型プロセッサ。

【請求項 1 3】 多数の前記プロセッサエレメントが前記状態管理部に対応した個数のエレメント領域に区分されており、

複数の前記状態管理部が複数の前記エレメント領域ごとに前記プロセッサエレメントに接続されており、

前記イベント分配手段は、前記エレメント領域ごとに前記プロセッサエレメントが出力する前記イベントデータを前記状態管理部に伝送する請求項 1 ないし 1 2 の何れか一項に記載のレイ型プロセッサ。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、データ処理を個々に実行するとともに相互の接続関係を切換制御する多数のプロセッサエレメントが行列形状に配列されており、これら多数のプロセッサエレメントを状態管理部で動作制御するアレイ型プロセッサに関する。

**【0002】****【従来の技術】**

現在、各種のデータ処理を自在に実行できるプロセッサユニットとしては、いわゆるCPU (Central Processing Unit) やMPU (Micro Processor Unit) と呼称される製品が実用化されている。

**【0003】**

このようなプロセッサユニットを利用したデータ処理システムでは、複数の命令コードが記述された各種のアプリケーションプログラムと各種の処理データとがメモリデバイスに格納され、プロセッサユニットはメモリデバイスから命令コードや処理データを順番にデータ読出して複数の演算処理を逐次実行する。

**【0004】**

このため、一個のプロセッサユニットで各種のデータ処理を実現できるが、そのデータ処理では複数の演算処理を順番に逐次実行する必要がある、その逐次処理ごとにプロセッサユニットがメモリデバイスから命令コードをデータ読出する必要がある、複雑なデータ処理を高速に実行することは困難である。

**【0005】**

一方、実行するデータ処理が1つに限定されている場合には、そのデータ処理を実行するように論理回路をハードウェアで形成すれば、プロセッサユニットがメモリデバイスから複数の命令コードを順番にデータ読出して複数の演算処理を順番に逐次実行するような必要はない。このため、複雑なデータ処理を高速に実行することが可能であるが、当然ながら1つのデータ処理しか実行することができない。

**【0006】**

つまり、アプリケーションプログラムを切換自在としたデータ処理システムで

は、各種のデータ処理を実行できるが、ハードウェアの構成が固定されているのでデータ処理を高速に実行することが困難である。一方、ハードウェアからなる論理回路では、データ処理を高速に実行することが可能であるが、アプリケーションプログラムを変更できないので1つのデータ処理しか実行できない。

#### 【0007】

このような課題を解決するため、本出願人はソフトウェアに対応してハードウェアの構成が変化するデータ処理装置として、アレイ型プロセッサを発明して出願した(例えば、特許文献1参照)。

#### 【0008】

##### 【特許文献1】

特開 2001-312481号

#### 【0009】

このアレイ型プロセッサでは、小規模の多数のプロセッサエレメントが多数のスイッチエレメントとともにデータパス部に行列形状に配列されており、この1個のデータパス部に1個の状態管理部が並設されている。多数のプロセッサエレメントは、個々にデータ設定される命令コードに対応してデータ処理を個々に実行するとともに、個々に並設されている多数のスイッチエレメントに相互の接続関係を切換制御させる。

#### 【0010】

つまり、アレイ型プロセッサは、多数のプロセッサエレメントと多数のスイッチエレメントとの命令コードを切り換えることでデータパスの構成が変化するもので、ソフトウェアに対応して各種のデータ処理を実行することができ、ハードウェアとして小規模の多数のプロセッサエレメントが簡単なデータ処理を並列に実行するので、データ処理を高速に実行することができる。

#### 【0011】

そして、上述のような多数のプロセッサエレメントと多数のスイッチエレメントとの命令コードからなるデータパス部のコンテキストを状態管理部がコンピュータプログラムとイベントデータとに対応して動作サイクルごとに順次切り換えるので、アレイ型プロセッサはコンピュータプログラムに対応して並列処理を連



続的に実行することができる。

#### 【0 0 1 2】

なお、上述のコンピュータプログラムは状態管理部に事前に実装されており、イベントデータはアレイ型プロセッサの外部から状態管理部に入力されたり、データパス部から状態管理部に入力される。

#### 【0 0 1 3】

##### 【発明が解決しようとする課題】

上述のアレイ型プロセッサは、多数のプロセッサエレメントにより高速なデータ処理を実行できるが、その多数のプロセッサエレメントの状態遷移を1個の状態管理部で管理している。このため、例えば、図19に示すように、4状態と6状態との2つのループ遷移を一緒に実行する場合、最低でも4と6との最少公倍数である12状態が必要となる。

#### 【0 0 1 4】

このような状態数は組み合わせる状態遷移の個数や各遷移の状態数が増加すると膨大となり、アレイ型プロセッサの動作効率を阻害することになる。特に、状態遷移に条件分岐が存在する場合、管理すべき状態数が膨大となり、状態管理部で管理することが困難となる。

#### 【0 0 1 5】

そこで、本発明者は上述の課題を解決するため、アレイ型プロセッサの状態管理部を複数とすることを発明し、特願2002-299028号および特願2002-299029号として出願した。これらのアレイ型プロセッサでは、状態管理部が複数なので、小規模な複数の状態遷移を複数の状態管理部で個別に管理するようなことができ、大規模な1つの状態遷移を複数の状態管理部で協調して管理するようなこともできる。

#### 【0 0 1 6】

しかし、前述のように状態管理部はイベントデータに対応して多数のプロセッサエレメントの状態遷移を管理するので、状態管理部を複数としたアレイ型プロセッサでは、イベントデータを複数の状態管理部に的確に配布する機構を確立する必要がある。

**【0017】**

本発明は上述のような課題に鑑みてなされたものであり、複数の状態管理部にイベントデータを的確に配布することができるアレイ型プロセッサを提供することを目的とする。

**【0018】****【課題を解決するための手段】**

本発明のアレイ型プロセッサは、多数のプロセッサエレメント、複数の状態管理部、イベント分配手段、を有しており、多数のプロセッサエレメントが行列形状に配列されている。プロセッサエレメントは、個々にデータ設定される命令コードに対応してデータ処理を個々に実行し、イベントデータを出力する。状態管理部は、多数のプロセッサエレメントの命令コードをコンピュータプログラムとイベントデータとに対応して順次切り換えるが、この状態管理部が必要により相互通信して連携動作する複数からなる。そして、この相互通信して連携動作する複数の状態管理部にイベント分配手段がイベントデータを分配するので、大規模な状態遷移を複数の状態管理部が連携して管理するようなことが実行される。

**【0019】**

なお、本発明で云う“複数”とは、“2”以上の任意の整数を意味しており、“多数”とは、上記の“複数”より以上の任意の整数を意味している。また、本発明で云うイベントデータとは、状態管理部が管理している現在の状態を遷移させるためのデータ、ある状態管理部が管理している現在の状態を他の状態管理部に通知するためのデータ、などからなる。

**【0020】****【発明の実施の形態】****[第1の形態の構成]**

本発明の実施の第1の形態を、図1ないし図6を参照して以下に説明する。まず、本形態のアレイ型プロセッサ100は、図4に示すように、状態管理部101、プロセッサエレメント102、メモリコントローラ103、リードマルチプレクサ104、等を主要構造として有している。

**【0021】**

さらに、図1および図2に示すように、本形態のアレイ型プロセッサ100では、状態管理部101が相互通信して連携動作する複数からなり、多数のプロセッサエレメント102が状態管理部101に対応した個数のエレメント領域105に区分されている。

#### 【0022】

そして、複数の状態管理部101が複数のエレメント領域105ごとにプロセッサエレメント102に接続されており、複数の状態管理部101が接続されているプロセッサエレメント102のエレメント領域105に個々に配置されている。

#### 【0023】

より詳細には、多数のプロセッサエレメント102が複数のエレメント領域105ごとに行列形状に配列されており、矩形に区分された複数のエレメント領域105も行列形状に配列されている。そして、状態管理部101がエレメント領域105でのプロセッサエレメント102の一行と同等な形状に形成されており、エレメント領域105の列方向の略中央に状態管理部101が配置されている。

#### 【0024】

なお、以下では説明を簡単とするため、図示するように、本形態のアレイ型プロセッサ100には4個のエレメント領域105-1～4が2行2列に配列されており、エレメント領域105の各々に16個のプロセッサエレメント102が4行4列に配列されているとする。

#### 【0025】

さらに、図1の左右方向が行方向で上下方向が列方向とし、各行は列方向に配列されており、各列は行方向に配列されているとする。このため、状態管理部101は、エレメント領域105の一行の4個のプロセッサエレメント102と同等な形状に形成されており、エレメント領域105のプロセッサエレメント102の2行目と3行目との中間に配置されているとする。

#### 【0026】

図4に示すように、メモリコントローラ103は、外部入力される各種データ

をエレメント領域105の状態管理部101とプロセッサエレメント102とに伝送し、リードマルチプレクサ104は、プロセッサエレメント102から読み出された各種データを外部出力する。

#### 【0027】

プロセッサエレメント102は、メモリコントローラ103から入力される各種データでデータ処理を実行し、データ処理した各種データをリードマルチプレクサ104に出力する。状態管理部101は、そのエレメント領域105のプロセッサエレメント102の状態遷移を管理することにより、そのエレメント領域105のプロセッサエレメント102に各種のデータ処理を実行させる。

#### 【0028】

より詳細には、エレメント領域105には、図3および図4に示すように、多数のプロセッサエレメント102とともに、多数のスイッチエレメント108も行列形状に配列されており、そのスイッチエレメント108を介して多数のmb(m-bit)バス109と多数のnb(n-bit)バス110とで多数のプロセッサエレメント102がマトリクス接続されている。

#### 【0029】

また、図3(b)に示すように、プロセッサエレメント102は、メモリ制御回路111、インストラクションメモリ112、インストラクションデコーダ113、mbレジスタファイル115、nbレジスタファイル116、mbALU(Arithmetic and Logical Unit)117、nbALU118、内部可変配線(図示せず)、等を各々有しており、スイッチエレメント108は、バスコネクタ121、入力制御回路122、出力制御回路123、等を各々有している。

#### 【0030】

また、複数の状態管理部101は、図4に示すように、インストラクションデコーダ138、遷移テーブルメモリ139、インストラクションメモリ140、を有しており、そのインストラクションデコーダ138とメモリコントローラ103とは命令バス141で接続されている。

#### 【0031】

また、メモリコントローラ103からリードマルチプレクサ104まで8行の

命令バス 142 が並列に接続されており、これら 8 行の命令バス 142 が、1 行ごとに 8 列のプロセッサエレメント 102 のメモリ制御回路 111 に接続されている。

#### 【0032】

また、状態管理部 101 の 1 個のインストラクションデコーダ 138 には 2 組の 4 列のアドレスバス 143 が接続されており、このアドレスバス 143 が 1 列ごとに 2 行のプロセッサエレメント 102 のメモリ制御回路 111 に接続されている。

#### 【0033】

なお、命令バス 141 は、例えば、“20(bit)” のバス幅に形成されており、命令バス 142 およびアドレスバス 143 は、例えば、“8 (bit)” のバス幅に形成されており、メモリコントローラ 103 は、4 個の状態管理部 101 に命令バス 141 で接続されている。

#### 【0034】

ただし、本形態のアレイ型プロセッサ 100 では、前述のようにエレメント領域 105 ごとに状態管理部 101 がプロセッサエレメント 102 に接続されているので、その状態管理部 101 は接続されているプロセッサエレメント 102 のみ状態管理を実行する。

#### 【0035】

また、本形態のアレイ型プロセッサ 100 では、外部から供給されるコンピュータプログラムに、エレメント領域 105 の多数のプロセッサエレメント 102 と多数のスイッチエレメント 108 との命令コードが、順次切り換わるコンテキストとしてデータ設定されており、このコンテキストを動作サイクルごとに切り換える状態管理部 101 の命令コードが、順次遷移する動作状態としてデータ設定されている。

#### 【0036】

このため、状態管理部 101 は、図 3 に示すように、上述のような自身の命令コードがインストラクションメモリ 140 にデータ格納されており、複数の動作状態を順次遷移させる遷移ルールが遷移テーブルメモリ 139 にデータ格納され

ている。

#### 【0037】

状態管理部101は、遷移テーブルメモリ139の遷移ルールに対応して動作状態を順次遷移させ、インストラクションメモリ140の命令コードによりプロセッサエレメント102とスイッチエレメント108とのインストラクションポインタを発生する。

#### 【0038】

図2(b)に示すように、スイッチエレメント108は、隣接するプロセッサエレメント102のインストラクションメモリ112を共用しているので、状態管理部101は、発生したプロセッサエレメント102とスイッチエレメント108とのインストラクションポインタを対応するプロセッサエレメント102のインストラクションメモリ112に供給する。

#### 【0039】

このインストラクションメモリ112には、プロセッサエレメント102とスイッチエレメント108との複数の命令コードがデータ格納されているので、状態管理部101から供給される1つのインストラクションポインタでプロセッサエレメント102とスイッチエレメント108との命令コードが指定される。インストラクションデコーダ113は、インストラクションポインタで指定された命令コードをデコードし、スイッチエレメント108、内部可変配線、 $m/n$  b ALU117, 118、等の動作を制御する。

#### 【0040】

$m$  b バス109は $m$  bである“8 (bit)”の処理データを伝送し、 $n$  b バス110は $n$  bである“1 (bit)”の処理データを伝送するので、スイッチエレメント108は、インストラクションデコーダ113の動作制御に対応して $m/n$  b バス109, 110による多数のプロセッサエレメント102の接続関係を制御する。

#### 【0041】

より詳細には、スイッチエレメント108のバスコネクタ121は、 $m$  b バス109と $n$  b バス110とが四方から連通しており、このように連通している複

数のmbバス109の互いの接続関係と連通する複数のnbバス110の互いの接続関係とを制御する。

#### 【0042】

このため、アレイ型プロセッサ100は、外部から供給されるコンピュータプログラムに対応して、複数のエレメント領域105ごとに状態管理部101がプロセッサエレメント102のコンテキストを動作サイクルごとに順次切り換え、その段階ごとに多数のプロセッサエレメント102は個々に設定自在なデータ処理で並列動作する。

#### 【0043】

入力制御回路122は、図2(b)に示すように、mbバス109からmbレジスタファイル115およびmbALU117へのデータ入力の接続関係と、nbバス110からnbレジスタファイル116およびnbALU118へのデータ入力の接続関係とを制御する。

#### 【0044】

出力制御回路123は、mbレジスタファイル115およびmbALU117からmbバス109へのデータ出力の接続関係と、nbレジスタファイル116およびnbALU118からnbバス110へのデータ出力の接続関係とを制御する。

#### 【0045】

プロセッサエレメント102の内部可変配線は、インストラクションデコーダ113の動作制御に対応して、プロセッサエレメント102の内部でのmbレジスタファイル115およびmbALU117の接続関係とnbレジスタファイル116およびnbALU118の接続関係とを制御する。

#### 【0046】

mbレジスタファイル115は、内部可変配線に制御される接続関係に対応して、mbバス109などから入力されるmbの処理データを一時保持してmbALU117などに出力する。nbレジスタファイル116は、内部可変配線に制御される接続関係に対応して、nbバス110などから入力されるnbの処理データを一時保持してnbALU118などに出力する。

**【 0 0 4 7 】**

m b A L U 1 1 7 は、インストラクションデコーダ 1 1 3 の動作制御に対応したデータ処理を m b の処理データで実行し、n b A L U 1 1 8 は、インストラクションデコーダ 1 1 3 の動作制御に対応したデータ処理を n b の処理データで実行するので、処理データのビット数に対応して m / n b のデータ処理が適宜実行される。

**【 0 0 4 8 】**

このエレメント領域 1 0 5 ごとのプロセッサエレメント 1 0 2 での処理結果は必要により状態管理部 1 0 1 にイベントデータとしてフィードバックされるので、この状態管理部 1 0 1 は入力されたイベントデータにより動作状態を次の動作状態に遷移させるとともにプロセッサエレメント 1 0 2 のコンテキストを次段のコンテキストに切り換える。

**【 0 0 4 9 】**

ただし、本形態のアレイ型プロセッサ 1 0 0 では、前述のように 8 行 8 列のプロセッサエレメント 1 0 2 が 2 行 2 列のエレメント領域 1 0 5 に区分されており、その 2 行 2 列のエレメント領域 1 0 5 ごとに 4 個の状態管理部 1 0 1 が 1 個ずつ配置されている。

**【 0 0 5 0 】**

そして、そのエレメント領域 1 0 5 ごとに所定のプロセッサエレメント 1 0 2 がイベント分配手段である専用のイベント通信配線 1 4 5 で状態管理部 1 0 1 に接続されており、その複数の状態管理部 1 0 1 がイベント通信配線 1 4 5 で相互にも接続されている。

**【 0 0 5 1 】**

このイベント通信配線 1 4 5 は、図 6 に示すように、エレメント領域 1 0 5 ごとにプロセッサエレメント 1 0 2 から状態管理部 1 0 1 にイベントデータを伝送するとともに、図 1 に示すように、4 個の状態管理部 1 0 1 の各々から他の 3 個の状態管理部 1 0 1 にもイベントデータを分配する。

**【 0 0 5 2 】**

このため、図 5 に示すように、状態管理部 1 0 1 ごとに入力選択手段である入



力選択回路 146 が設けられており、この入力選択回路 146 がイベント通信配線 145 でプロセッサエレメント 102 と 3 個の状態管理部 101 から並列に入力される 4 つのイベントデータから 1 つを選択する。

#### 【0053】

この選択されたイベントデータは他の状態管理部 101 に出力されるので、これでイベント通信配線 145 により 4 個の状態管理部 101 の各々から他の 3 個の状態管理部 101 にイベントデータが分配される。なお、入力選択回路 146 は、接続されている状態管理部 101 により動作制御されるので、状態管理部 101 は、自身に入力されるイベントデータを自身で選択することになる。

#### 【0054】

なお、本形態のアレイ型プロセッサ 100 では、上述のように 2 行 2 列の状態管理部 101 がイベント通信配線 145 により相互に接続されているので、イベント通信配線 145 で 4 個の状態管理部 101 の全部が相互に接続されているとともに、状態管理部 101 が周囲の八方に位置する状態管理部 101 と接続されていることになる。

#### 【0055】

##### [第 1 の形態の動作]

上述のような構成において、本実施の形態のアレイ型プロセッサ 100 では、外部から供給されるコンピュータプログラムに対応して、外部入力される処理データでデータ処理を実行する場合、複数のエレメント領域 105 ごとに状態管理部 101 が動作状態を順次遷移させるとともにプロセッサエレメント 102 のコンテキストを動作サイクルごとに順次切り換える。

#### 【0056】

このため、その動作サイクルごとに多数のプロセッサエレメント 102 が個々に設定自在なデータ処理で並列動作し、その多数のプロセッサエレメント 102 の接続関係を多数のスイッチエレメント 108 が切換制御する。このとき、図 6 に示すように、エレメント領域 105 ごとに、プロセッサエレメント 102 での処理結果は必要により状態管理部 101 にイベントデータとしてイベント通信配線 145 でフィードバックされるが、同時に、他の全部の状態管理部 101 から

もイベント通信配線 145 でイベントデータが伝送される。

#### 【0057】

そして、複数の状態管理部 101 の各々は、上述のようにプロセッサエレメント 102 と他の状態管理部 101 から並列に入力される複数のイベントデータから 1 つを入力選択回路 146 で選択し、その選択した 1 つのイベントデータにより動作状態を次段の動作状態に遷移させるとともにプロセッサエレメント 102 のコンテキストを次段のコンテキストに切り換える。

#### 【0058】

さらに、状態管理部 101 は上述のように選択した 1 つのイベントデータを他の全部の状態管理部 101 にイベント通信配線 145 で伝送するので、ある状態管理部 101 が選択したイベントデータは他の全部の状態管理部 101 に通達される。

#### 【0059】

このため、本形態のアレイ型プロセッサ 100 は、複数のエレメント領域 105 ごとに状態管理部 101 が多数のプロセッサエレメント 102 を個別に状態管理するが、その複数の状態管理部 101 が相互通信して連携動作することができる。

#### 【0060】

従って、データ処理の 1 つの状態遷移を複数のエレメント領域 105 のプロセッサエレメント 102 の全部で実行することもでき、4 つの状態遷移を 4 個のエレメント領域 105-1~4 で個別に実行するようなこともでき、2 つの状態遷移を 4 個のエレメント領域 105-1~4 の特定の 2 個ずつで分担するようなこともできる。

#### 【0061】

例えば、本形態のアレイ型プロセッサ 100 では、状態管理部 101 に管理される一対のエレメント領域 105 が列方向に配列されているので、処理データが行方向に転送される場合、一対の小容量の処理データを 2 行のエレメント領域 105 で同時に高効率にデータ処理するようなことができる。

#### 【0062】

## [第1の形態の効果]

本実施の形態のアレイ型プロセッサ100では、上述のように複数の状態管理部101にイベント通信配線145でイベントデータが分配されるので、大規模な1つの状態遷移を複数の状態管理部101で協調して管理するようなこともでき、小規模な複数の状態遷移を複数の状態管理部101で個別に管理するようなこともできる。

## 【0063】

しかも、本形態のアレイ型プロセッサ100では、イベントデータが専用のイベント通信配線145で伝送されるので、その伝送が高速に実行される。さらに、複数の状態管理部101の全部がイベント通信配線145で相互に接続されているので、複数の状態管理部101の全部がイベントデータを直接に相互通信することができる。

## 【0064】

さらに、状態管理部101は、イベント通信配線145で並列に入力される複数のイベントデータから入力選択回路146で1つを選択するので、自身に必要なイベントデータを的確に入力することができる。しかも、入力選択回路146が選択した1つのイベントデータをイベント通信配線145に出力するので、ある状態管理部101が選択したイベントデータを他の状態管理部101に通達することができる。

## 【0065】

## [第1の形態の変形例]

本発明は上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形が可能である。例えば、上記形態ではエレメント領域105やプロセッサエレメント102の個数や配列の数値を具体的に例示したが、当然ながら、その数値は各種に設定することが可能である。

## 【0066】

また、図6に示すように、上記形態ではエレメント領域105ごとにプロセッサエレメント102から状態管理部101にイベント通信配線145でイベントデータを伝送するとともに、状態管理部101が他の状態管理部101にイベン

ト通信配線 145 でイベントデータを伝送することを例示した。しかし、図 7 に示すように、専用のイベント通信配線 151 で複数の状態管理部 101 を接続しておき、そのイベント通信配線 151 にプロセッサエレメント 102 と状態管理部 101 とがイベントデータを入力することも可能である。

#### 【0067】

さらに、上記形態ではイベントデータを専用のイベント通信配線 145 で伝送することを例示したが、例えば、プロセッサエレメント 102 を接続している m/nb バス 109, 110 でイベントデータを伝送することも可能である。イベントデータを専用のイベント通信配線 145 で伝送する場合、専用のハードウェアが必要となるがイベントデータを簡単に高速に伝送することができる。イベントデータを m/nb バス 109, 110 で伝送する場合、汎用であることによる負荷が大きいためにイベントデータを簡単に高速に伝送することは困難であるが、専用のハードウェアが無用である。

#### 【0068】

また、上記形態では複数の状態管理部 101 を専用のイベント通信配線 145 で相互に直接に接続していることを例示したが、図 8 に示すように、複数の状態管理部 101 をイベント分配手段である専用のイベント通信バス 152 で接続することも可能である。

#### 【0069】

その場合、状態管理部 101 がイベント通信バス 152 にイベントデータを出力する部分にバスコントローラ 153 を設け、状態管理部 101 が他の状態管理部 101 にイベントデータを出力するタイミングをバスコントローラ 153 で調節することが好適である。

#### 【0070】

専用のイベント通信配線 145 の場合、状態管理部 101 が多数であるとハードウェアが多量となるが、イベントデータを簡単に高速に伝送することができる。専用のイベント通信バスの場合、バス調停などの制御が必要でイベントデータを簡単に高速に伝送することは困難であるが、状態管理部 101 が多数となっても少量のハードウェアでイベントデータを自在に伝送することができる。

**【0071】**

さらに、上記形態では状態管理部101が並列に入力される複数のイベントデータから入力選択回路146で1つを選択して入力し、その入力した1つのイベントデータを他の状態管理部101に伝送することを例示した。しかし、図9に示すように、状態管理部101が入力するイベントデータとは別個に出力選択回路154で1つのイベントデータを選択し、その選択した1つのイベントデータを他の状態管理部101に伝送することも可能である。

**【0072】**

この場合、状態管理部101は、自身が入力するイベントデータと他へ出力するイベントデータとを別個に選択できるので、例えば、自身が入力したいイベントデータと他へ出力したいイベントデータとが相違する場合などに対応することができる。

**【0073】**

なお、図面では並列な複数のイベント通信配線145の右側の1本が入力専用となっているが、これは後述する中央管理部からイベントデータが入力されるイベント通信配線145を想定しているためであり、中央管理部が存在しない場合には全部のイベント通信配線145を出力用にも選択可能とすることが好適である。中央管理部は全部の状態管理部101に共通のイベントデータを分配するので、これを状態管理部101が他の状態管理部101に出力する必要がない。

**【0074】**

また、上記形態のアレイ型プロセッサ100のように、全部の状態管理部101がイベント通信配線145で直接に相互に接続されている場合、ある状態管理部101から他の状態管理部101までイベントデータを伝送するときに第3の状態管理部101を介する必要がある。

**【0075】**

このため、状態管理部101は他の状態管理部101から入力されたイベントデータを他の状態管理部101に出力する必要はなく、接続されているプロセッサエレメント102から入力されるイベントデータから1つを出力選択回路154で選択して他の状態管理部101に出力すれば良い。

**【0076】**

また、上記形態では2行2列に配列されている4個の状態管理部101が、イベント通信配線145で周囲の八方の状態管理部101と接続されていることにより、結果的に状態管理部101の全部が相互に直接に接続されていることを例示した。

**【0077】**

しかし、図10に示すように、多数の状態管理部101が2行2列以上に配列されており、イベント通信配線145で周囲の八方の状態管理部101のみと接続されていることも可能であり、図11に示すように、行列方向の四方の状態管理部101のみと接続されていることも可能である。

**【0078】**

状態管理部101が多数となると全部をイベント通信配線145で相互に接続することは困難となるが、上述のように状態管理部101を近傍の一部の状態管理部101のみとイベント通信配線145で接続すれば、例えば、ある状態管理部101から四方に隣接していない状態管理部101までイベントデータを伝送するときなどにイベントデータの伝播速度がわずかに低下するが、ハードウェアを大幅に削減することができる。

**【0079】**

また、上記形態のアレイ型プロセッサ100では、 $m/n$ bレジスタファイル115, 116や $m/n$ bALU117, 118を各々有しているプロセッサエレメント102が $m/n$ bバス109, 110で接続されており、 $m/n$ bでデータ処理およびデータ通信を実行することを例示した。

**【0080】**

しかし、三種類以上のビット数のハードウェアで三種類以上のビット数のデータ処理およびデータ通信を実行することも可能であり、一種類のビット数のハードウェアで一種類のビット数のデータ処理およびデータ通信を実行することも可能である。

**【0081】**

また、上記形態のアレイ型プロセッサ100では、隣接するプロセッサエレメ

ント 102 とスイッチエレメント 108 とでインストラクションメモリ 112 を共用させ、プロセッサエレメント 102 とスイッチエレメント 108 との命令コードを 1 つのインストラクションポインタで発生させることを例示した。

#### 【0082】

しかし、プロセッサエレメント 102 とスイッチエレメント 108 とに専用のインストラクションメモリを個別に用意することも可能であり、プロセッサエレメント 102 とスイッチエレメント 108 との命令コードを各々専用のインストラクションポインタで個別に発生させることも可能である。

#### 【0083】

また、上記形態では図示と説明とを簡単とするため、プロセッサエレメント 102 の 1 個ごとに  $m/n$  バス 109, 110 が行列方向に 1 本ずつ接続されていることを例示したが、実際にはプロセッサエレメント 102 の 1 個ごとに  $m/n$  バス 109, 110 が数本ずつ接続されていることが好適である。

#### 【0084】

さらに、上記形態のアレイ型プロセッサ 100 では、複数の状態管理部 101 が単純に同一レベルで相互通信して連携動作することを例示したが、例えば、複数の状態管理部 101 の 1 個を上位のマスタとして設定するとともに他を下位のスレーブとして設定することも可能であり、図 12 に示すように、複数の状態管理部 101 の上位に専用の中央管理部 155 を設けることも可能である。

#### 【0085】

この場合、複数のエレメント領域 105 から個々に出力されるイベントデータの全部を中央管理部 155 に入力し、この中央管理部 155 が複数の状態管理部 101 にイベントデータを分配することが好適である。ただし、イベントデータの全部を中央管理部 155 に集約してから複数の状態管理部 101 に分配すると、隣接する状態管理部 101 が直接にイベントデータを伝送する場合などより速度が低下することがある。

#### 【0086】

また、中央管理部 155 から全部の状態管理部 101 にイベントデータを分配すると、全部の状態管理部 101 を一様に連携させることは容易であるが、多数

の状態管理部 101 を複数に区分して連携させるようなことが困難となる。そこで、このような課題を解決するためには、図 13 に示すように、イベント通信配線 145 で複数の状態管理部 101 を直接に接続するとともに、中央管理部 155 を複数の状態管理部 101 に接続することが好適である。

#### 【0087】

##### [第2の形態の構成]

ここで、上述のようなアレイ型プロセッサ 200 を本発明の実施の第2の形態として図 13 ないし図 15 を参照して以下に説明する。なお、これより以下の説明では、それより以上の説明と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。

#### 【0088】

本形態のアレイ型プロセッサ 200 では、図 13 に示すように、8 個の状態管理部 101 が 2 行 4 列に配列されており、その状態管理部 101 はイベント通信配線 145 で行列方向の四方の状態管理部 101 と直接に接続されている。また、8 個の状態管理部 101 の中心には中央管理部 155 が配置されており、この中央管理部 155 がイベント通信配線 145 で 8 個の状態管理部 101 の全部に接続されている。

#### 【0089】

より詳細には、図 14 に示すように、状態管理部 101 ごとにエレメント選択回路 201 と入力選択回路 146 とが設けられており、エレメント選択回路 201 は、そのエレメント領域 105 のプロセッサエレメント 102 から出力される複数のイベントデータから 1 つを選択する。

#### 【0090】

入力選択回路 146 は、エレメント選択回路 201 で選択されたイベントデータと、イベント通信配線 145 で他の状態管理部 101 から入力される複数のイベントデータから 1 つを選択し、その状態管理部 101 と他の状態管理部 101 とに出力する。

#### 【0091】

中央管理部 155 には第 1 / 第 2 の入力選択回路 203, 204 が設けられて



おり、例えば、第1の入力選択回路203は、第1から第4の元素領域105-1~4のプロセッサ元素102から出力される複数のイベントデータから1つを選択し、第2の入力選択回路204は、第5から第8の元素領域105-5~8のプロセッサ元素102から出力される複数のイベントデータから1つを選択する。

#### 【0092】

##### [第2の形態の動作]

上述のような構成において、本実施の形態のアレイ型プロセッサ200では、複数の元素領域105ごとにプロセッサ元素102から出力されるイベントデータを中央管理部155に集約して複数の状態管理部101に一様に分配することができ、複数の状態管理部101が行列方向に隣接する状態管理部101にイベントデータを直接に伝送することもできる。

#### 【0093】

例えば、第4の状態管理部101-4や第6の状態管理部101-6が出力するイベントデータを全部の状態管理部101に分配する場合、図15(a)に示すように、そのイベントデータを中央管理部155に伝送してから全部の状態管理部101に分配することもでき、図15(b)に示すように、中央管理部155を介することなく状態管理部101から隣接する状態管理部101に順次伝播させることもできる。

#### 【0094】

##### [第2の形態の変形例]

本発明は上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形が可能である。例えば、上記形態では複数の元素領域105のプロセッサ元素102から中央管理部155にイベントデータを入力することを例示したが、複数の元素領域105ごとにプロセッサ元素102から状態管理部101を介して中央管理部155にイベントデータを入力することも可能である。

#### 【0095】

また、上記形態では中央管理部155が1つのイベントデータを全部の状態管

理部 101 に一様に分配することを例示したが、例えば、中央管理部 155 が複数のイベントデータを多数の状態管理部 101 の複数組に区分して分配することも可能である。

#### 【0096】

例えば、中央管理部 155 を一度に 2 つのイベントデータを処理できるように形成し、1 個の中央管理部 155 と多数の状態管理部 101 とを接続するイベント通信配線 145 の各々を 2 本としたり 2 ビット線とすれば、図 16 に示すように、第 4 の状態管理部 101-4 と第 6 の状態管理部 101-6 とが並列に出力するイベントデータを、中央管理部 155 が第 1 行目の状態管理部 101-1 ~ 4 と第 2 行目の状態管理部 101-5 ~ 8 とに区分して分配し、第 1 行目と第 2 行目とのエレメントグループ 105 で相違するデータ処理を並列に実行することが可能である。

#### 【0097】

なお、このように多数の状態管理部 101 を複数に区分して動作させることは、図 17 に示すように、中央管理部 155 を介することなくイベントデータを状態管理部 101 から隣接する状態管理部 101 に順次伝播させることでも可能である。

#### 【0098】

ただし、上述のようにイベントデータを複数の状態管理部 101 に順次伝播させることは速度の観点から好適ではないので、そのようなイベントデータは中央管理部 155 から分配することが好適である。しかし、このためには前述のように中央管理部 155 が一度に複数のイベントデータを管理できる必要があるので、本発明のアレイ型プロセッサを実施する場合には、各種条件を考慮して最適な方式を選択することが好適である。

#### 【0099】

さらに、例えば、第 6 の状態管理部 101-6 が出力するイベントデータを中央管理部 155 が第 1 から第 6 の状態管理部 101-1 ~ 6 に分配するとともに、第 8 の状態管理部 101-8 が出力するイベントデータを隣接する第七の状態管理部 101-7 にイベント通信配線 145 で直接に伝送するようなことも可能

である。この場合、中央管理部 155 が一度に 1 つのイベントデータしか管理しなくとも、エレメントグループ 105 を複数に区分して相違するデータ処理を並列に実行することが可能である。

#### 【0100】

#### 【発明の効果】

本発明のアレイ型プロセッサでは、状態管理部が必要により相互通信して連携動作する複数からなり、この相互通信して連携動作する複数の状態管理部にイベント分配手段がイベントデータを分配することにより、大規模な状態遷移を複数の状態管理部が連携して管理するようなことを実行できる。

#### 【図面の簡単な説明】

#### 【図 1】

本発明の実施の第 1 の形態のアレイ型プロセッサでのイベントデータの通信経路を示す模式図である。

#### 【図 2】

アレイ型プロセッサの物理構造を示す模式的なブロック図である。

#### 【図 3】

アレイ型プロセッサの m/n b バスなどの物理構造を示すブロック図である。

#### 【図 4】

命令バスなどの物理構造を示すブロック図である。

#### 【図 5】

入力選択手段である入力選択回路を示す回路図である。

#### 【図 6】

アレイ型プロセッサでのイベントデータの通信経路を示す模式図である。

#### 【図 7】

実施の第 1 の形態の第 1 の変形例のアレイ型プロセッサを示す模式図である。

#### 【図 8】

第 2 の変形例の入力選択回路を示す回路図である。

#### 【図 9】

第 3 の変形例の入力選択回路を示す回路図である。

**【図 1 0】**

第 4 の変形例のアレイ型プロセッサを示す模式図である。

**【図 1 1】**

第 5 の変形例のアレイ型プロセッサを示す模式図である。

**【図 1 2】**

第 6 の変形例のアレイ型プロセッサを示す模式図である。

**【図 1 3】**

実施の第 2 の形態のアレイ型プロセッサを示す模式図である。

**【図 1 4】**

アレイ型プロセッサの要部を示す回路図である。

**【図 1 5】**

アレイ型プロセッサの動作を示す模式図である。

**【図 1 6】**

実施の第 2 の形態の変形例のアレイ型プロセッサの動作を示す模式図である。

**【図 1 7】**

アレイ型プロセッサの動作を示す模式図である。

**【図 1 8】**

アレイ型プロセッサの動作を示す模式図である。

**【図 1 9】**

2 つの状態遷移を 1 つに統合した状態を示す模式図である。

**【符号の説明】**

1 0 0, 2 0 0      アレイ型プロセッサ

1 0 1      状態管理部

1 0 2      プロセッサエレメント

1 0 5      エレメント領域

1 0 8      スイッチエレメント

1 0 9      m b データバス

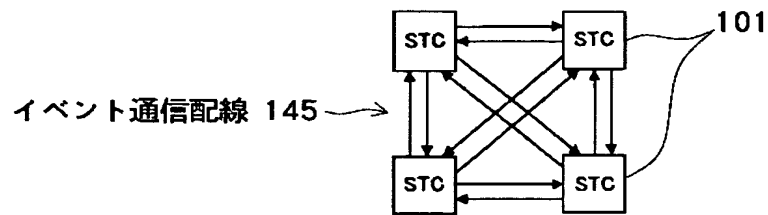
1 1 0      n b データバス

1 4 5, 1 5 1      イベント分配手段であるイベント通信配線

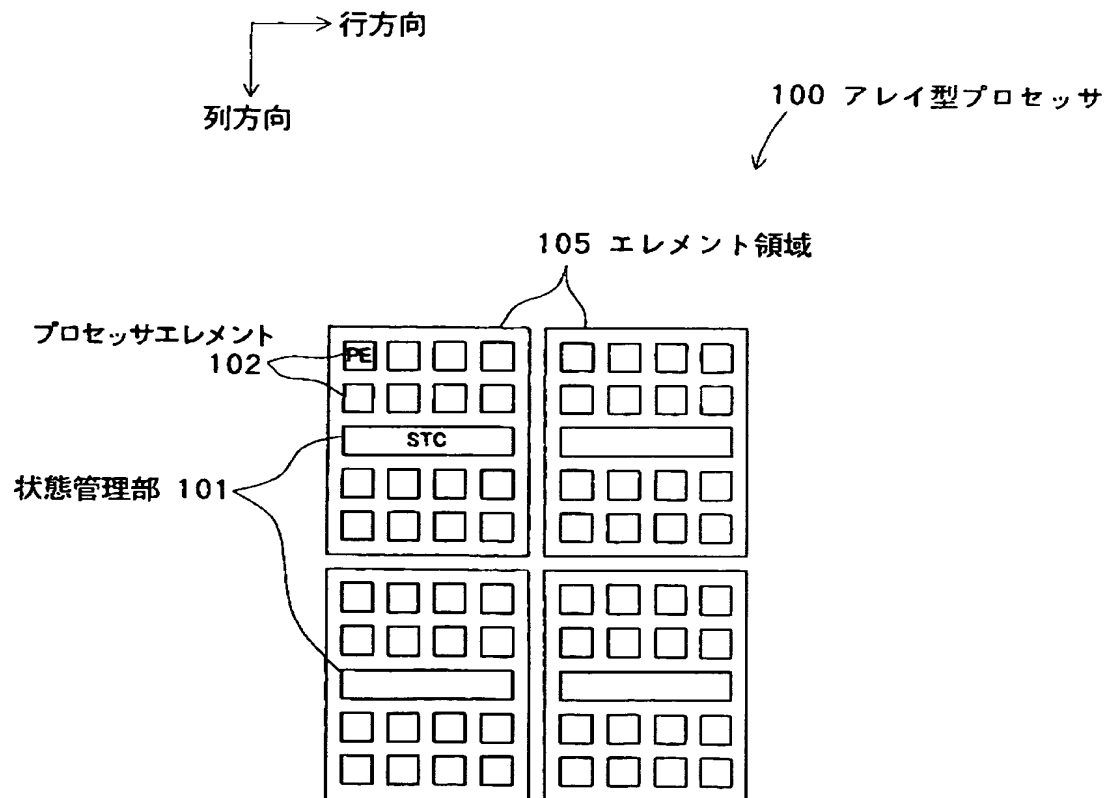
- 1 4 6 入力選択手段である入力選択回路
- 1 5 2 イベント分配手段であるイベント通信バス
- 1 5 4 出力選択手段である出力選択回路
- 1 5 5 中央管理部

【書類名】 図面

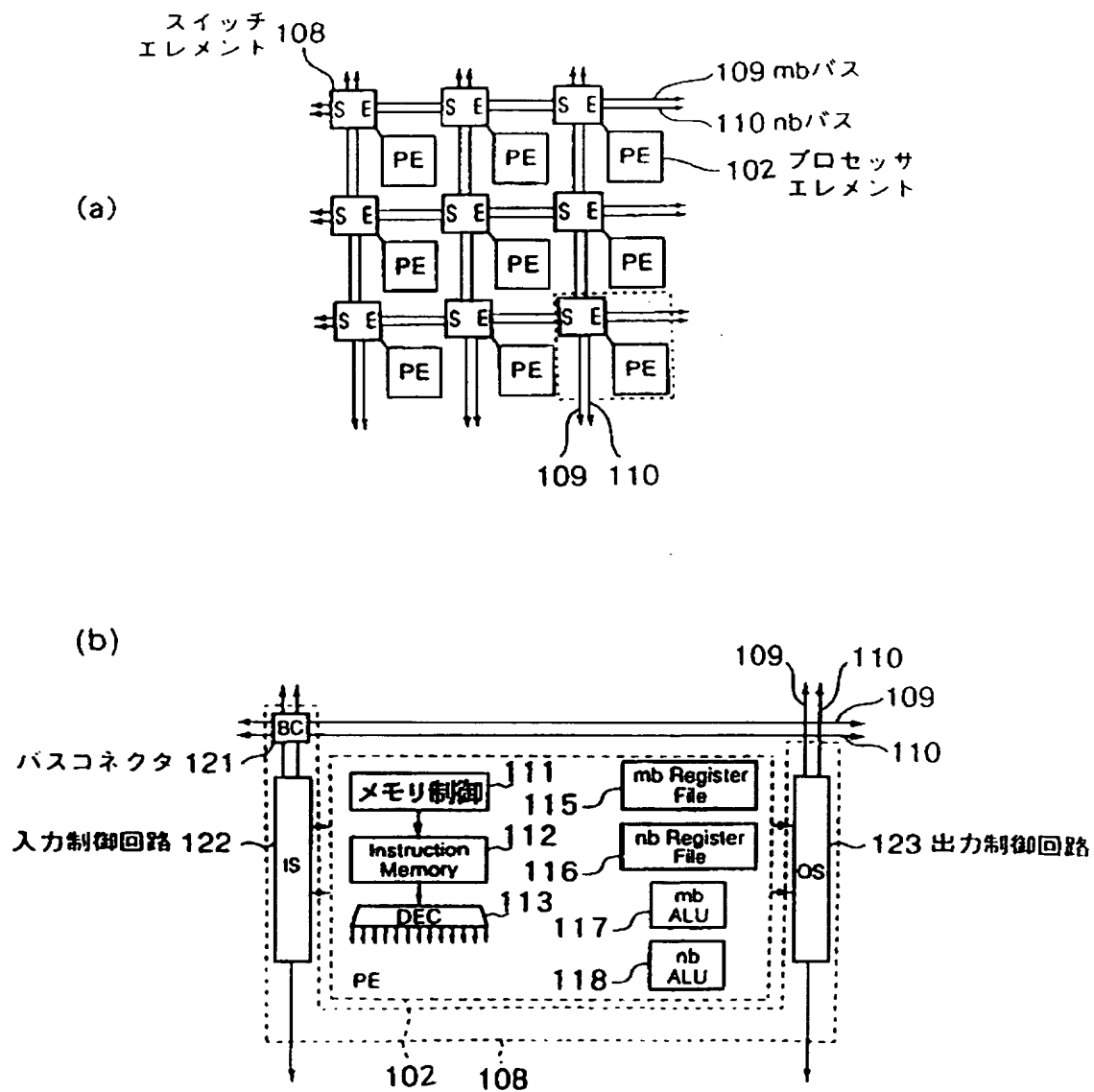
【図 1】



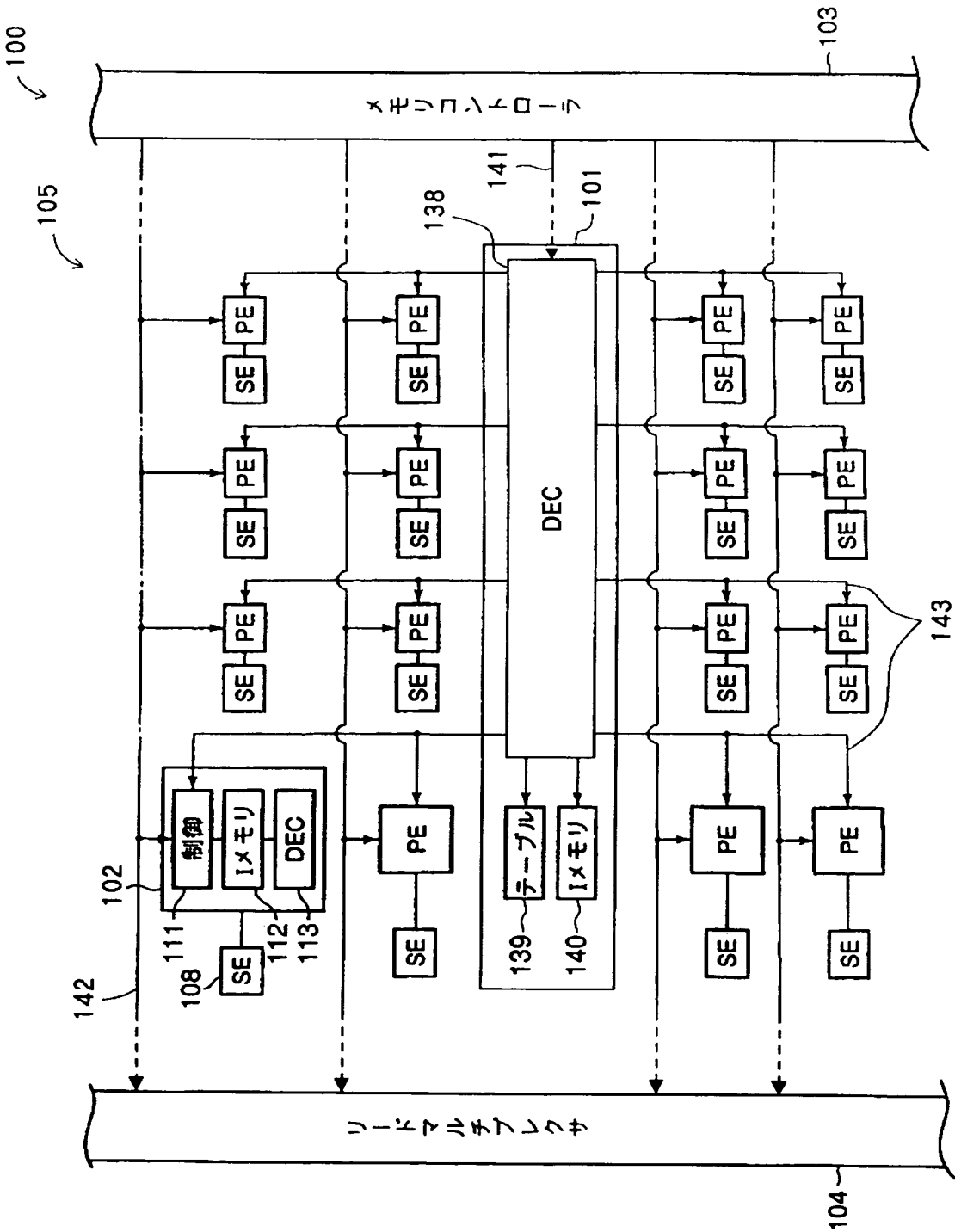
【図 2】



【図 3】

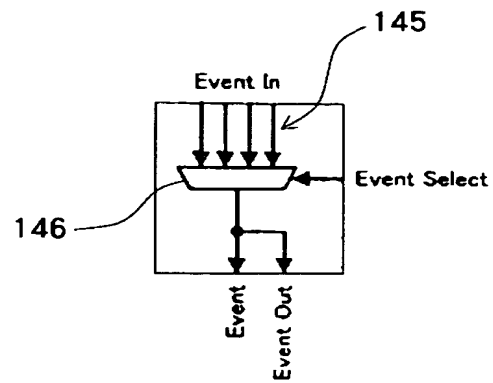


【図4】

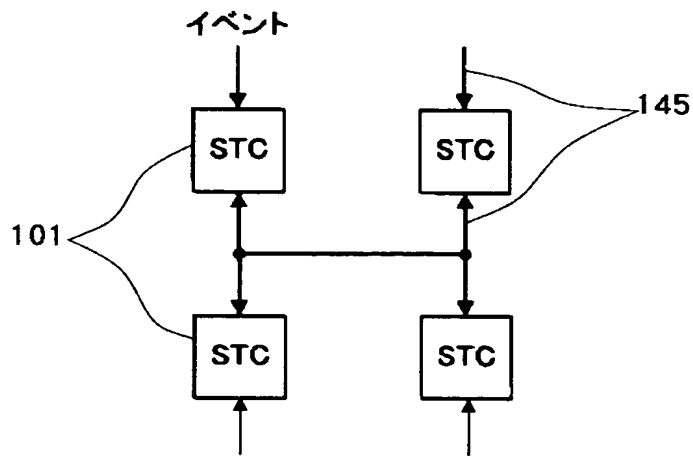




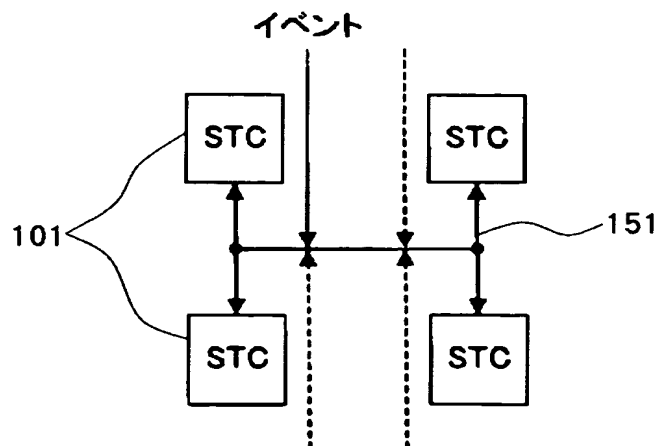
【図 5】



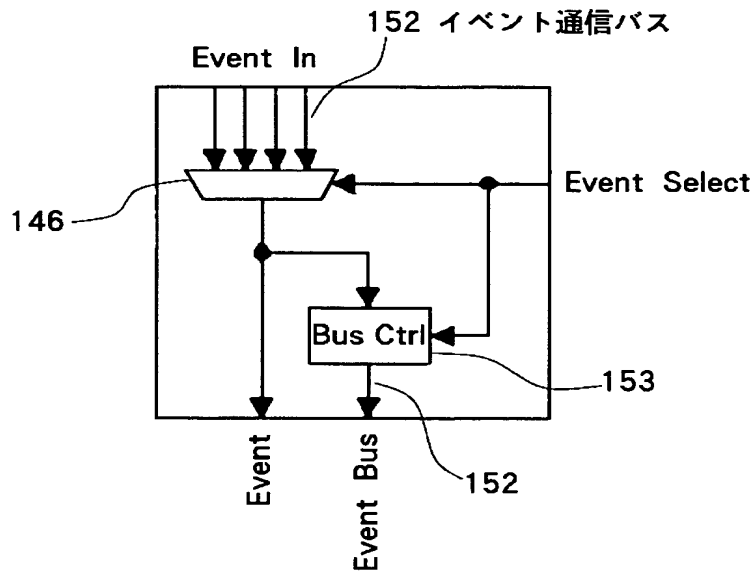
【図 6】



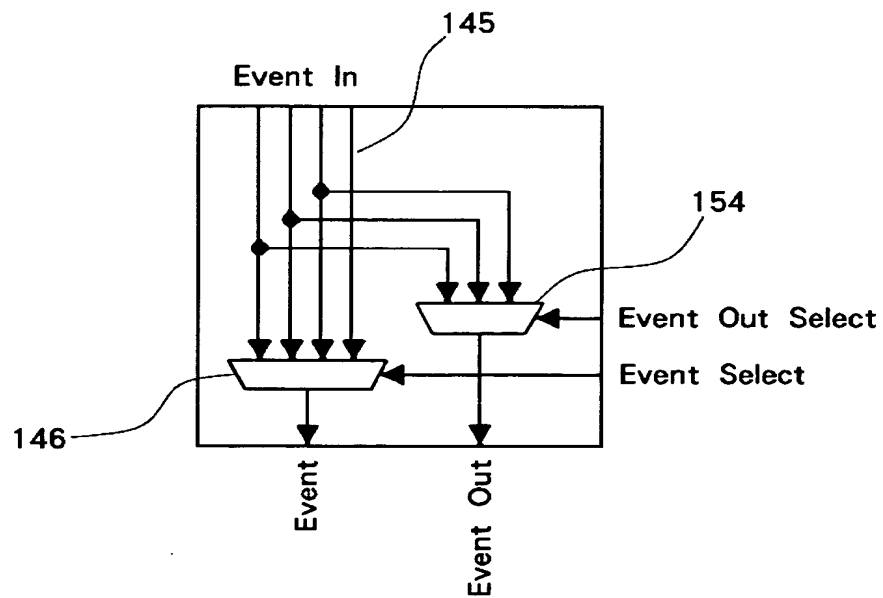
【図 7】



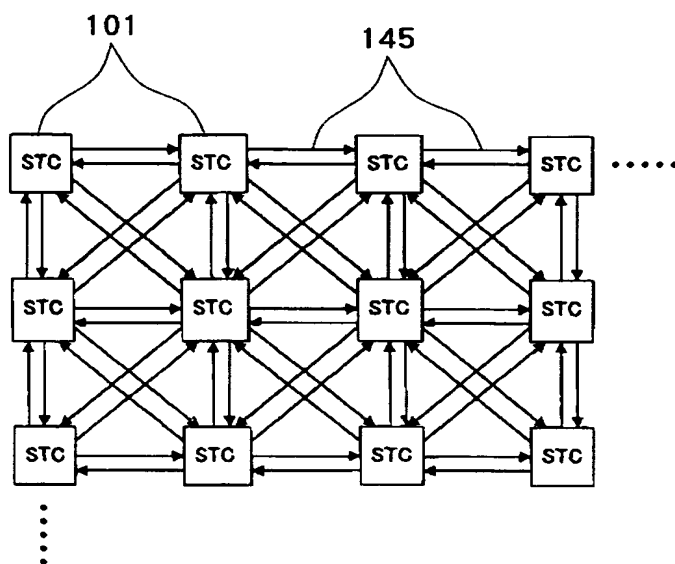
【図 8】



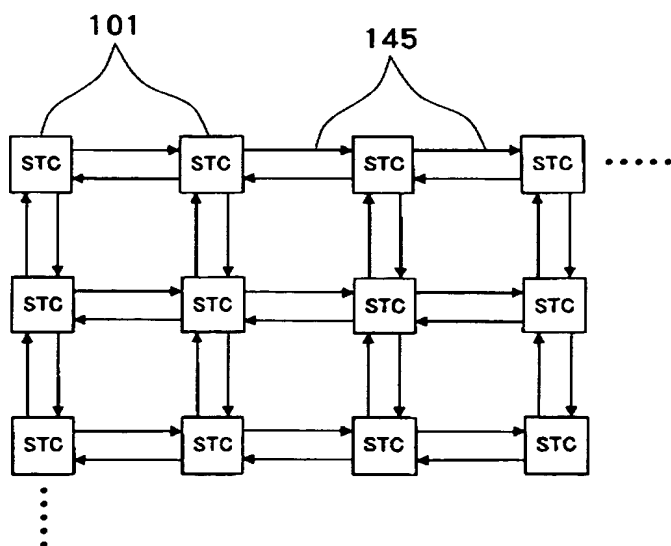
【図 9】



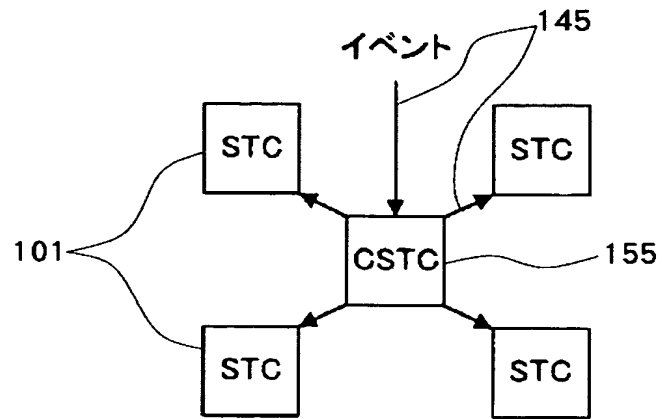
【図 10】



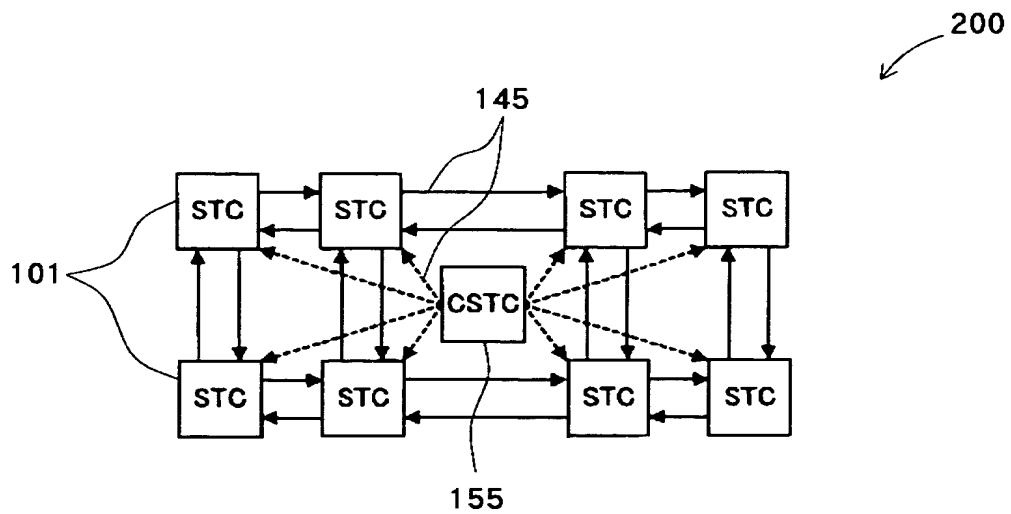
【図 11】



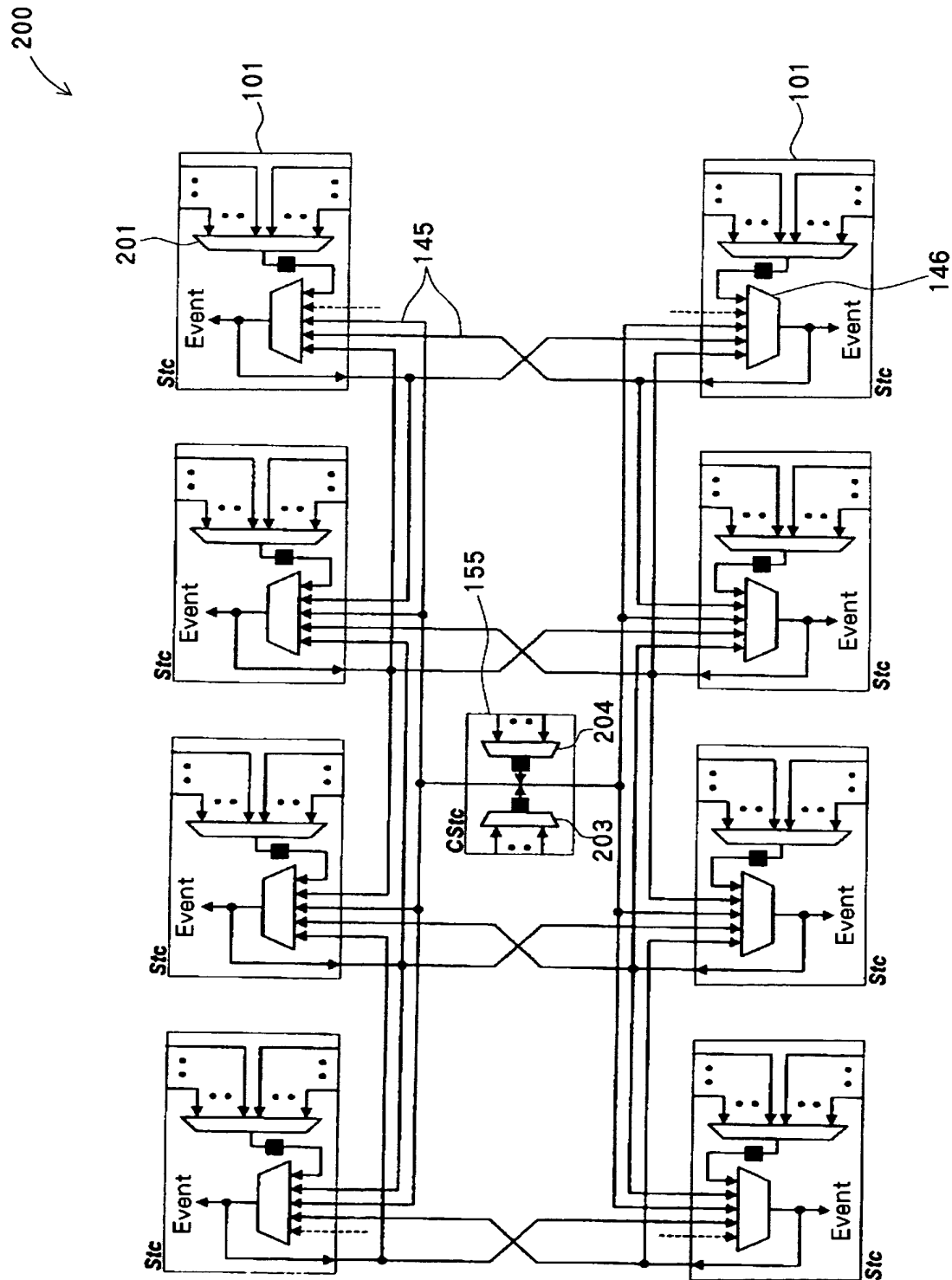
【図 12】



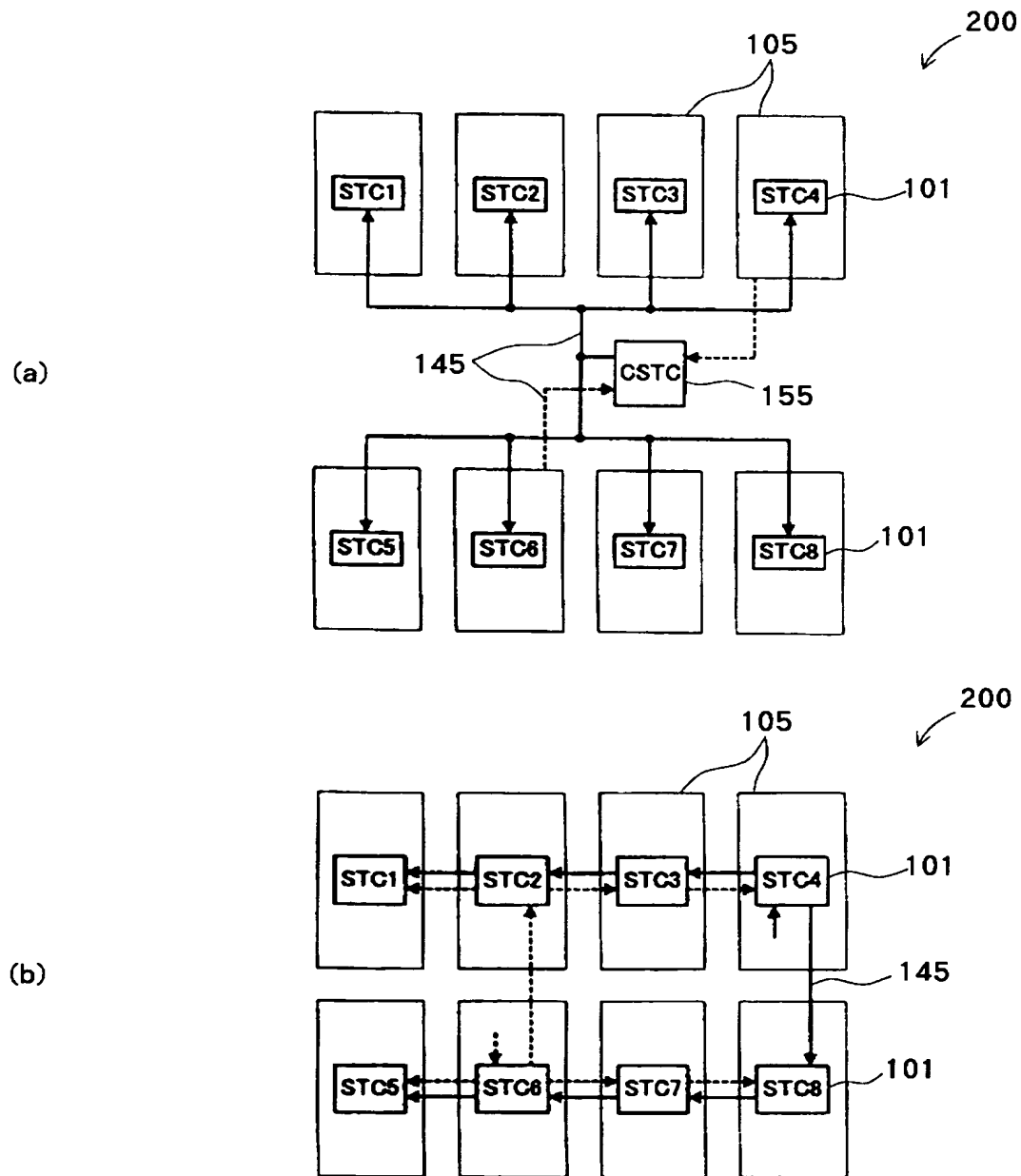
【図 13】



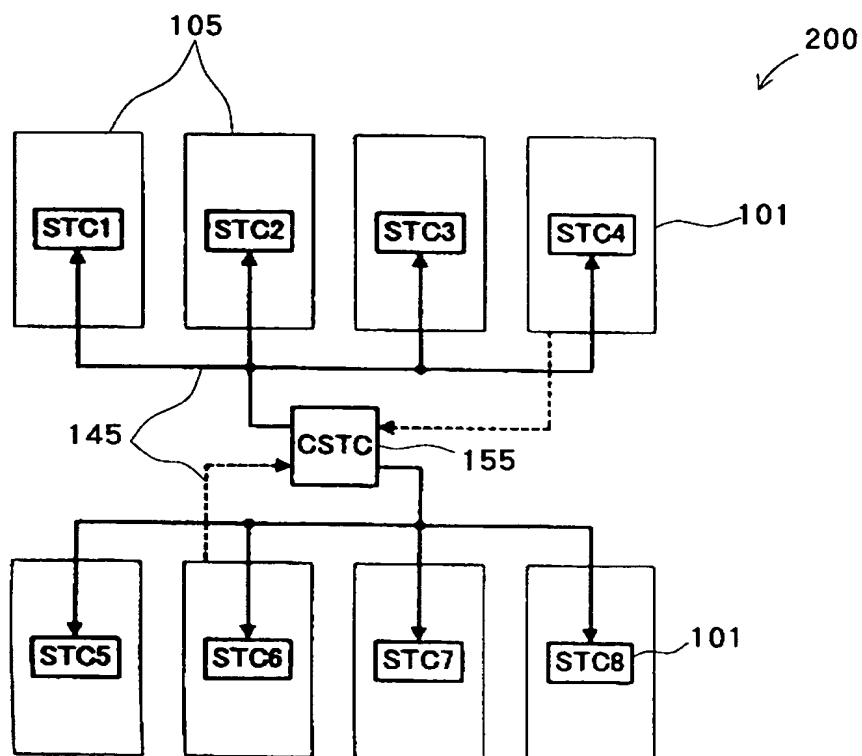
【図 14】



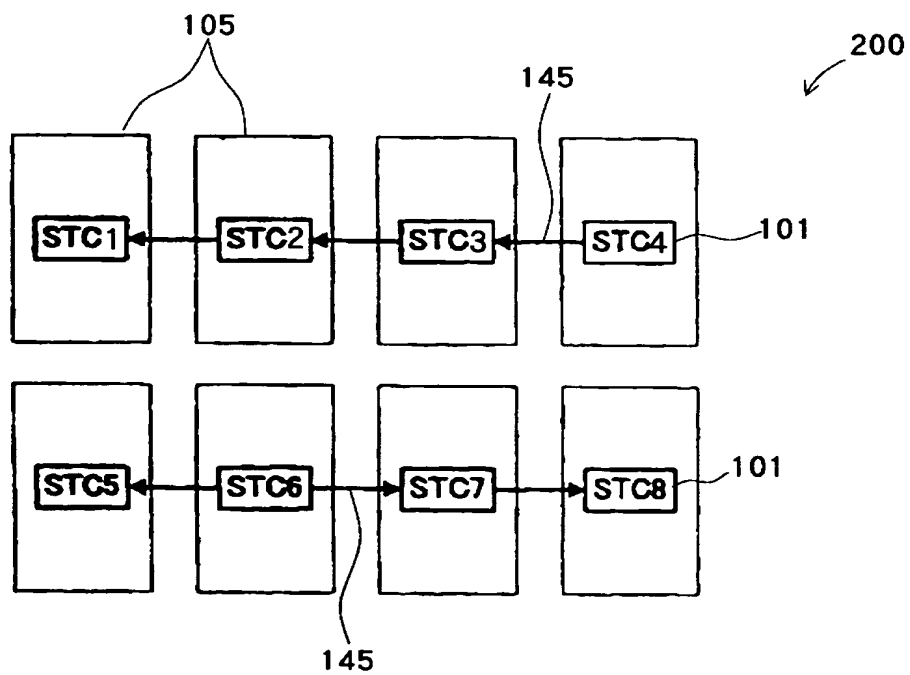
【図 15】



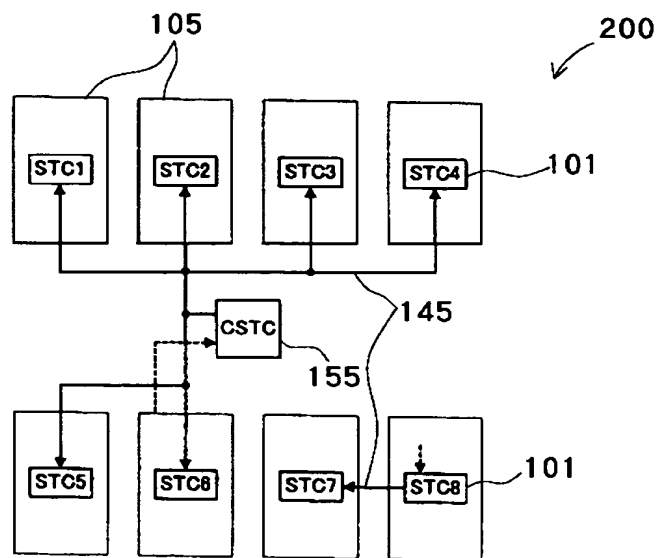
【図 16】



【図 17】



【図 18】



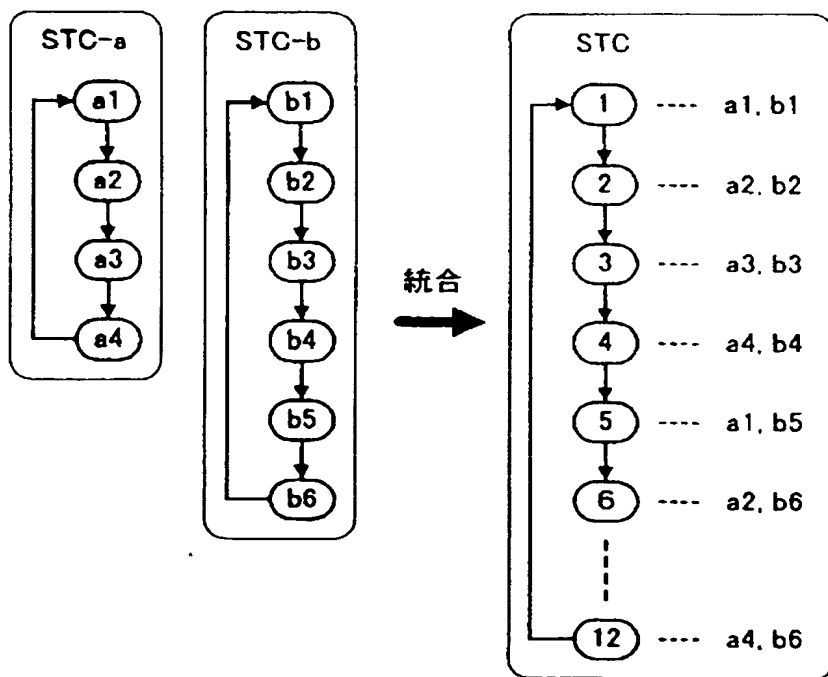
【図 19】

(a)

(b)

2 つの STC で実現

1 つの STC に統合した場合





【書類名】 要約書

【要約】

【課題】 複数の状態管理部にイベントデータを的確に分配できるアレイ型プロセッサを提供する。

【解決手段】 行列形状に配列されている多数のプロセッサエレメントが、個々にデータ設定される命令コードに対応してデータ処理を個々に実行し、イベントデータを出力する。状態管理部 1 0 1 は、多数のプロセッサエレメントの命令コードをコンピュータプログラムとイベントデータとに対応して順次切り換えるが、この状態管理部 1 0 1 が必要により相互通信して連携動作する複数からなる。そして、この相互通信して連携動作する複数の状態管理部 1 0 1 にイベント分配手段 1 4 5 がイベントデータを分配するので、大規模な状態遷移を複数の状態管理部 1 0 1 が連携して管理するようなことが実行される。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 71130003

【提出日】 平成15年 1月20日

【あて先】 特許庁長官 殿

【事件の表示】

    【出願番号】 特願2002-315735

【承継人】

    【識別番号】 302062931

    【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

    【電話番号】 03-3585-1882

【提出物件の目録】

    【物件名】 承継人であることを証明する登記簿謄本 1

    【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8  
8 の出願人名義変更届に添付のものを援用する。

    【物件名】 承継人であることを証明する承継証明書 1

    【援用の表示】 手続補足書にて提出する。

    【包括委任状番号】 0216444

【ブルーフの要否】 要

特願 2 0 0 2 - 3 1 5 7 3 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特願 2 0 0 2 - 3 1 5 7 3 5

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社